

PAT-NO: JP361287151A

DOCUMENT-IDENTIFIER: JP 61287151 A

TITLE: SEMICONDUCTOR DEVICE

BEST AVAILABLE COPY

PUBN-DATE: December 17, 1986

INVENTOR-INFORMATION:

NAME

MAYUMI, SHUICHI

UEDA, SEIJI

NISHIDA, SOICHI

ASSIGNEE-INFORMATION:

NAME COUNTRY

MATSUSHITA ELECTRONICS CORP N/A

APPL-NO: JP60128047

APPL-DATE: June 14, 1985

INT-CL (IPC): H01L021/88, H01L021/314, H01L021/94

US-CL-CURRENT: 438/612, 438/624, 438/FOR.354, 438/FOR.355

ABSTRACT:

PURPOSE: To prevent the generation of cracks and the disconnection of wirings, and to improve the reliability of a semiconductor device by forming an inter-layer insulating film in three layer structure of a silicon oxide film-a silicon nitride film-a silicon oxide film.

CONSTITUTION: A lower layer Al wiring 3 is formed onto an inter-layer insulating film consisting of a PSG film 2 shaped so as to coat a circuit element on a silicon substrate 1, and an upper layer Al wiring 7 is formed onto the lower layer Al wiring 3 through inter-layer insulating films composed of three layer structure of a first layer PSG film 4, a second layer plasma silicon nitride film 5 and a third layer PSG film 6. A PSG film 8 and a plasma silicon nitride film 9 are shaped onto the upper layer Al wiring 7 as passivation films. Consequently, the lower layer and upper layer Al wirings 3, 7 are not brought into contact with the plasma silicon nitride film 5 having compressive stress, thus preventing the trouble of disconnection due to the

pulling of the Al wiring. An intermediate layer in the inter-layer insulating films is composed of the plasma silicon nitride film, thus also obviating electrical leakage between the lower layer and upper layer Al wirings due to the cracks of the inter-layer insulating films.

COPYRIGHT: (C)1986,JPO&Japio

BEST AVAILABLE COPY

⑫ 公開特許公報 (A) 昭61-287151

⑬ Int. Cl.
H 01 L 21/88
21/314
21/94

識別記号 庁内整理番号 ⑭ 公開 昭和61年(1986)12月17日
6708-5F
6708-5F
6708-5F 審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭60-128047
⑯ 出 願 昭60(1985)6月14日

⑰ 発明者 真弓周一 門真市大字門真1006番地 松下電子工業株式会社内
⑰ 発明者 上田誠二 門真市大字門真1006番地 松下電子工業株式会社内
⑰ 発明者 西田宗一 門真市大字門真1006番地 松下電子工業株式会社内
⑰ 出願人 松下電子工業株式会社 門真市大字門真1006番地
⑰ 代理人 弁理士 星野恒司

BEST AVAILABLE COPY

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 層間絶縁層を介して複数の導電層を備えた多層配線構造の半導体装置において、前記層間絶縁層が、酸化ケイ素膜、窒化ケイ素膜、酸化ケイ素膜を順次積層した3層構造からなることを特徴とする半導体装置。

(2) 酸化ケイ素膜が、リン(P)、ボロン(B)、ヒ素(A₃)等の不純物を含むガラスからなることを特徴とする特許請求の範囲第(1)項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置、とりわけ多層配線構造における層間絶縁膜に関するものである。

(従来の技術)

近年、LSI 素子の高集積化、高速化を図るため、

多層配線構造を備えたものが増えつつある。配線材料には一般に、Alを主成分とする合金が用いられている。従来の半導体装置のAl二層配線構造の一例を第2図に示す。なお、簡明化のため、図にはAl二層配線部分のみを示すが、半導体基板上のトランジスタ領域の各構造は従来と変わらないものとする。

第2図に示すように、シリコン基板1上の回路素子(図には示されていない)を覆うように形成された酸化ケイ素膜あるいはPSG(リン-シリコン-ガラス)膜2からなる層間絶縁膜上に下層Al配線3が設けられ、この下層Al配線3上に、PSG膜4およびプラズマCVD法により形成した窒化ケイ素膜(以下プラズマ窒化ケイ素膜という)5の2層構造からなる層間絶縁膜を介して上層Al配線7が形成されている。更に、パッシベーション膜として、上層Al配線7上にPSG膜8およびプラズマ窒化ケイ素膜9が設けられた構造となっている。(発明が解決しようとする問題点)

この場合、上層Al配線7は、Al配線間の層間絶

BEST AVAILABLE COPY

特開昭61-287151(2)

銀膜の上層であるプラズマ塗化ケイ素膜5と接しており、このプラズマ塗化ケイ素膜は、周知の通り大きい圧縮ストレス(約 4×10^7 dynes/cm²)を有しているため、常に上層AL配線7に引張力を及ぼしている。このため、上記多層配線構造を有する半導体装置では、長期間の使用のもとで、上層AL配線7が切断され故障に至ることがしばしばある。特に、100℃以上の高温状態下ではこの現象が顕著になり、また上層AL配線の線幅が細くなるにつれて断線しやすくなり、重大な問題となる。

従来のAL二層配線構造における層間絶縁膜として、第2図に示す構造以外に、下層をプラズマ塗化ケイ素膜、上層をPSG膜とする構造のものもあるが、この場合は、下層AL配線とプラズマ塗化ケイ素膜が接するので下層AL配線に同様な現象が生じ、問題である。また、層間絶縁膜がPSG膜だけからなる場合は、このような問題は防止できるが、強固で、かつクラック耐性に優れたプラズマ塗化ケイ素膜の特徴が発揮できず、下層および上層のAL配線間で電気的リーキーが生じやすいういう新た

からなる層間絶縁膜を介して上層AL配線7が形成されている。更に、バッファーベーション膜として、上層AL配線7上にPSG膜8およびプラズマ塗化ケイ素膜9が設けられた構造となっている。なお、上記PSGの他に、B₂Al等の不純物を含むシリコングラスを使用してもよい。

以上のように構成された本実施例では、下層および上層のAL配線3, 7は、圧縮ストレスを有するプラズマ塗化ケイ素膜5と接することなく、従ってAL配線が引張られて断線するという問題が防止できる。また、層間絶縁膜の中間層がプラズマ塗化ケイ素膜であるため、層間絶縁膜のクラックによる下層と上層のAL配線間の電気的リーキーも防止できる。

なお実施例では、AL二層配線を用いて説明したが、本発明は、三層あるいはそれ以上のAL多層配線においても同様の効果があることは明らかであり、また、AL以外の金属配線を用いた場合でも同様の効果が期待できる。

(発明の効果)

な問題が生じる。

(問題点を解決するための手段)

上記問題点を解決するために、配線間を絶縁するための層間絶縁膜を、酸化珪素膜、塗化珪素膜および酸化珪素膜を順次積層してなる3層構造とするものである。

(作用)

本発明によれば、層間絶縁膜の一部にプラズマ塗化ケイ素膜が用いられているため、異層AL配線間の電気的リーキーを防止することができ、かつ、AL配線はプラズマ塗化ケイ素膜と接することができないため、AL配線の断線も防止することができる。

(実施例)

以下、本発明の一実施例を、第1図を参照して詳しく説明する。第1図に示すように、シリコン基板1上の回路素子(図には示されていない)を被うように形成されたPSG膜2からなる層間絶縁膜上に、下層AL配線3が設けられ、この下層AL配線3上に、1層目のPSG膜4、2層目のプラズマ塗化ケイ素膜5、3層目のPSG膜6の3層構造

以上説明したように、本発明によれば、層間絶縁膜を酸化ケイ素膜-塗化ケイ素膜-酸化ケイ素膜の3層構造にすることにより、クラックの発生や配線の断線を防止することができ、半導体装置の信頼性を高めることができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例の要部の断面図、第2図は、従来例の要部の断面図である。

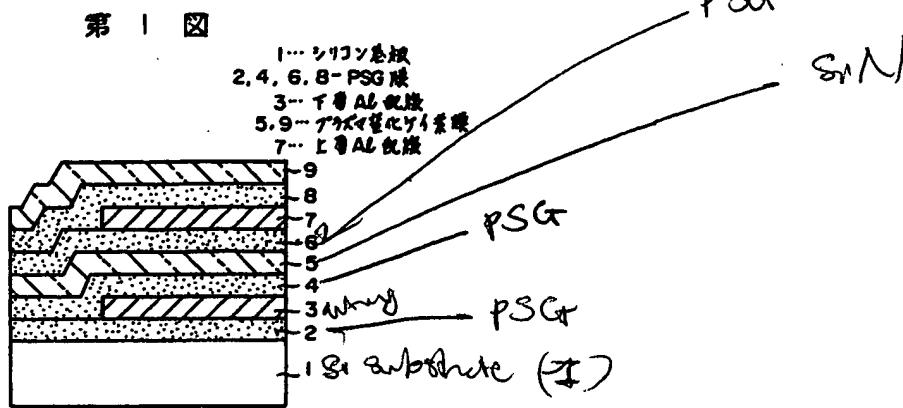
1…シリコン基板、2, 4, 6, 8…PSG膜、3…下層AL配線、5, 9…プラズマ塗化ケイ素膜、7…上層AL配線。

特許出願人 松下電子工業株式会社

代理人 星野恒



第一図



第二図

